

W209

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-265579

(43)公開日 平成5年(1993)10月15日

(51)Int.Cl.⁵
G 0 5 F 1/56
G 1 1 C 17/14識別記号 310 D 4237-5H
9191-5L

F I

G 1 1 C 17/ 06

技術表示箇所

B

審査請求 未請求 請求項の数1(全8頁)

(21)出願番号 特願平4-64931

(22)出願日 平成4年(1992)3月23日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 古谷 清広

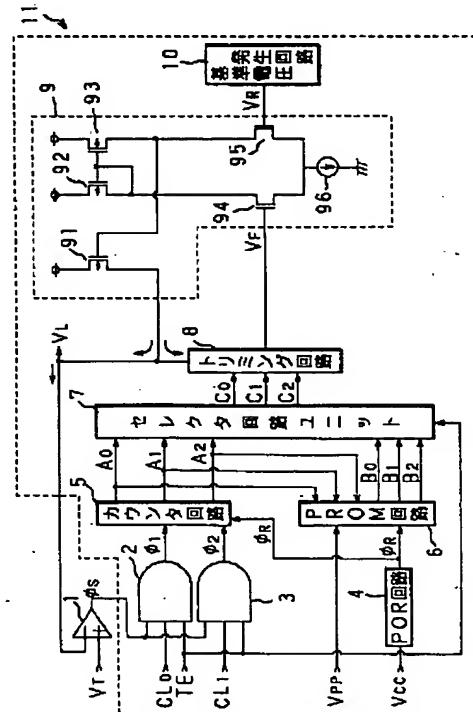
兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社エル・エス・アイ研究所内

(74)代理人 弁理士 高田 守

(54)【発明の名称】 電圧降下回路

(57)【要約】

【目的】 電圧降下回路の出力電圧の調整作業を容易化する。

【構成】 テストモード時にはクロック信号 ϕ_1 , ϕ_2 をカウンタ回路5のカウント値をセレクタ回路ユニット7を通じてトリミング回路8に入力させ、該トリミング回路8にてカウント値に対応して基準電位 V_R に対する出力電位 V_L を調整し、出力電位 V_L が目標値 V_T に一致したときのカウント値をPROM素子6に記憶させる。通常モードにおいては前記PROM素子6に記憶された値をセレクタ回路7を通じてトリミング回路8へ出力し、記憶素子6に記憶されているカウント値と対応する目標値 V_T と一致した出力電位 V_L を出力させる。

【特許請求の範囲】

【請求項1】 数列発生回路と、テストモード時に前記数列発生回路の出力値に対応して出力電圧を調整するトリミング回路と、前記出力電圧が目標値に一致したときの前記数列発生回路からの出力値を記憶させるPROM回路と、通常モード時に前記PROM回路に記憶された出力値に対応した電圧を出力させるべく前記数列発生回路からの出力値に代えて前記PROM回路からの出力値をトリミング回路へ入力させる切替手段とを具備することを特徴とする電圧降下回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路に内蔵される出力電圧の調整作業を容易化した電圧降下回路に関する。

【0002】

【従来の技術】 図1はIEEE Journal of Solid State Circuits Vol.25, No.5, October 19901129~1130頁に示された従来の半導体集積装置における電圧降下回路の回路図であり、図中8は出力電圧 V_L を調整するためのトリミング回路、9は差動増幅器、10は基準電圧発生回路を示している。

【0003】 基準電圧発生回路10はPチャネルMOS電界効果型トランジスタ（以下単にPチャネルMOSFETと記す）101, 102を備えており、夫々そのドレインは電流源103を介在させて電源に接続され、また前者のソースは電流源104を介して、また後者のソースは直接に夫々接地されている。PチャネルMOSFET101のゲート及びソースは差動増幅器9のNチャネルMOSFET109のゲートに接続されている。差動増幅器9はPチャネルMOSFET105, 106、NチャネルMOSFET108, 109からなるカレント・ミラーとPチャネルMOSFET107とを備えている。PチャネルMOSFET105, 106のドレインは電源に、またソースは夫々NチャネルMOSFET108, 109、電流源110を介在させて接地されている。

【0004】 両PチャネルMOSFET105, 106のゲートは相互に接続され、一方NチャネルMOSFET108のゲートはトリミング回路8に、またNチャネルMOSFET109のゲートは前述の如く基準電圧発生回路10に接続されている。PチャネルMOSFET107のドレインは電源に、またソースはトリミング回路8の出力ライン111に、そしてゲートは前記チャネルMOSFET106のソースに接続されている。

【0005】 トリミング回路8は前記差動増幅器9のPチャネルMOSFET107のソースに繋がる出力ライン111及び前記差動増幅器9のNチャネルMOSFET108のゲートに繋がるライン112を備えている。出力ライン111というライン112との間にはPチャネルMOSFET113, 114、PチャネルMOSFET115, 116を夫々直列接続した直列回路が並列的に接続されており、前記PチャネルMOSFET114のソースとライン112との間はヒューズ F_1 が介装されてい

る。PチャネルMOSFET113, 115の各ゲートは夫々そのソース側に、またPチャネルMOSFET114, 116の各ゲートはライン112に夫々接続されている。

【0006】 一方ライン112とアースとの間には複数のPチャネルMOSFET117~120が並列的に接続されている。なお、PチャネルMOSFET117~119とアースとの間には夫々ヒューズ F_2 , F_3 , F_4 が介装されている。

【0007】 次にこのような従来の電圧降下回路の動作について説明する。基準電圧発生回路10のノードN1の電位は、pチャネルMOSFET102の閾値を V_{TH2} とすると $|V_{TH2}|$ となる。また基準電圧発生回路10の出力電圧たる差動増幅器9のNチャネルMOSFET109のゲートに対する印加電圧 V_R はノードN1よりもpチャネルMOSFET101の閾値の絶対値 $|V_{TH1}|$ だけ低いから、印加電圧 $V_R = |V_{TH2}| - |V_{TH1}|$ となる。

【0008】 ところでpチャネルMOSFET102のチャネル部にはpチャネルMOSFET101のチャネル部よりもn型不純物のイオン打ち込み量を多くしてあるため、pチャネルMOSFET102の閾値の絶対値 $|V_{TH2}|$ はpチャネルMOSFET101の閾値の絶対値 $|V_{TH1}|$ より大きく、印加電圧 V_R は、例えば1.1Vの如き値となる。

【0009】 また差動増幅器9はそのカレント・ミラーにより、nチャネルMOSFET109のゲートに対する印加電圧 V_R よりもnチャネルMOSFET108のゲートに対する印加電圧 V_F が低いときにはそれだけノードN2の電位が低下してPチャネルMOSFET107がより強く導通し、出力電圧 V_L が上昇し、これに伴って印加電圧 V_F を上昇させる。また逆に印加電圧 V_R が印加電圧 V_F よりも低い時はそれだけノードN2の電位が上昇し、PチャネルMOSFET107の抵抗が大きくなつて出力電圧 V_L が低下し、これに伴つて印加電圧 V_F の電位が低下し、最終的には $V_R = V_F$ で整定するようになっている。

【0010】 一方トリミング回路8は出力電圧 V_L を抵抗分割し、印加電圧 V_F を発生するよう構成されており、例えば分割比をkとすると両者は $V_F = k V_L$ 、換言すれば出力電圧 $V_L = 1/k \cdot V_F$ の関係となる。従つて前述した如く $V_R = 1.1V$ の時、例えば $V_L = 3.3V$ にするためには $k = 1/3$ とすればよい。これは、例えばPチャネルMOSFET113~120のチャネル幅Wを夫々図1に示す如くPチャネルMOSFET112, 115、PチャネルMOSFET114, 116、PチャネルMOSFET117~120夫々のチャネル幅合計が $112 \mu m$ とすると、ヒューズ F_1 ~ F_4 がいずれも導通している状態ではチャネル幅 $112 \mu m$ のPチャネルMOSFETを3段直列に接続したものの1段分に相当するから、出力電圧は3.3Vとなる。

【0011】 ところでこのような各素子の製造過程には若干のばらつきが避けられず、PチャネルMOSFET101と102との閾値の差は必ずしも1.1Vとはならない。このため従来にあってはトリミング回路8の抵抗分割比kをヒューズ F_1 ~ F_4 を溶断することによって調整、即ち

ヒューズ F_1 を溶断して k を大きく、ヒューズ $F_2 \sim F_4$ を溶断して k を小さくすることで出力電圧 V_L の調整を行っている。

【0012】

【発明が解決しようとする課題】しかしながらこのような従来装置にあっては出力電圧 V_L を測定して予め定めてある目標値と比較し、目標値と異なる場合にはヒューズ F_1 又は $F_2 \sim F_4$ の溶断する作業を繰り返す必要があり、生産性が悪いという問題があった。本発明はかかる事情に鑑みなされたものであって、その目的とすることは出力電圧の調整を自動化して、生産能率の向上を図れるようにした電圧降下回路を提供するにある。

【0013】

【課題を解決するための手段】本発明に係る電圧降下回路は、数列発生回路と、テストモード時に前記数列発生回路の出力値に対応して出力電圧を調整するトリミング回路と、前記出力電圧が目標値に一致したときの前記数列発生回路からの出力値を記憶させるPROM回路と、通常モード時に前記PROM回路に記憶された出力値に対応した電圧を出力させるべく前記数列発生回路からの出力値に代えて前記PROM回路からの出力値をトリミング回路へ入力させる切替手段とを具備することを特徴とする。

【0014】

【作用】本発明にあっては、数列発生回路と、トリミング回路とを備え、テストモード時に出力電圧を目標値と比較して、前記トリミング回路の抵抗分割比を数列発生回路の出力値に応じて変化させ、出力電圧が目標値と一致したときの数列発生回路からの出力値をPROM回路に記憶させておき、通常動作時にはこのPROM回路に記憶させてある出力値に対応させてトリミング回路で出力電圧を調整することで自動的に出力電圧を設定することが可能となる。

【0015】

【実施例】以下本発明をその実施例を示す図面に基づき具体的に説明する。図2は本発明に係る電圧降下回路のブロック図であり、図中1はコンパレータを示している。コンパレータ1にはテストモード時にその一方の入力端に目標電圧たる目標値 V_T が、また他方の入力端にフィードバックされた出力電圧 V_L が入力され、その差信号 $V_T - V_L = \phi_S$ が夫々3入力のANDゲート2, 3における各一の入力端に入力されるようになっている。

【0016】各ANDゲート2, 3夫々の他の入力端にはクロック CL_0 , CL_1 が、更に他の入力端にはテストモード活性化信号TEが夫々入力され、また各ANDゲート2, 3夫々の出力端は数列発生回路であるカウンタ回路5に接続され、夫々クロック信号信号 ϕ_1 , ϕ_2 をカウンタ回路5へ出力するようになっている。

【0017】4はパワー・オン・リセット(PORと記す)回路であり、その入力端には電源電圧 V_{cc} が入力され、またその出力端は前記カウンタ回路5及びPROM回路6に

接続されており、リセット信号 ϕ_R を夫々これらに出力するようになっている。

【0018】カウンタ回路5は0～7程度まで計数可能に構成されており、前記ANDゲート2, 3からのクロック信号 ϕ_1 , ϕ_2 をカウントし、3ビット表示されたカウント信号 A_0 , A_1 , A_2 をPROM回路6及びセレクタ回路ユニット7へ出力するようになっている。

【0019】PROM回路6はテストモード時の終了時、即ち出力電圧 V_L が目標値 V_T に一致又はこれを越えたときに前記カウンタ回路5から入力されたカウント信号 A_0 , A_1 , A_2 を記憶し、通常動作時には記憶してあるカウント信号 A_0 , A_1 , A_2 を信号 B_0 , B_1 , B_2 としてセレクタ回路ユニット7へ出力するようになっている。セレクタ回路ユニット7はテストモード時にはカウンタ回路5からの入力であるカウント値 A_0 , A_1 , A_2 を、また通常動作時にはPROM回路6からの入力である信号 B_0 , B_1 , B_2 を夫々トリミング回路8へ出力するようになっている。

【0020】以下各回路についてその具体的構成を説明する。図3はPOR回路の具体的構成を示す回路図である。電源電圧 V_{cc} に直列接続された抵抗21, キャパシタ22及び前記抵抗21とキャパシタ22との中間にカソードを接続された反転増幅器23を備えており、電源が投入されるとノードN3の電位は抵抗21とキャパシタ22との時定数に従って緩やかにハイレベル「H」となり、反転増幅器23の閾値を超える迄の所定時間ハイレベル「H」のリセット信号 ϕ_R を出力するようになっている。

【0021】図4はカウンタ回路5の具体的構成を示す回路図であり、レジスタ回路31, 32, 33を備えている。各レジスタ回路31, 32, 33は夫々フリップフロップ34, リセット付フリップフロップ35を備えており、各フリップフロップ34の各C接点は前記ANDゲート2の出力端に接続され、ここにクロック信号 ϕ_1 が入力され、またS接点は夫々排他的論理と36, 37、反転増幅器38の出力端に、更に各D接点は夫々対応するリセット付フリップフロップ35のS接点に接続されている。

【0022】一方、各リセット付フリップフロップ35の各C接点は夫々前記ANDゲート3の出力端に、またリセット端子Rは夫々POR回路の出力端に接続され、ここにクロック信号 ϕ_2 , リセット信号 ϕ_R が夫々入力されるようになっている。

【0023】リセット付フリップフロップ35のD端子はセレクタ回路ユニット7に接続され、これに対し夫々カウント信号 A_0 , A_1 , A_2 を出力する外、レジスタ回路31におけるリセット付フリップフロップ35は排他的論理とゲート36の一方の入力端に、またレジスタ回路32におけるリセット付フリップフロップ35のD端子は排他的論理とゲート37, ANDゲート39の各一方の入力端に、更にレジスタ回路33におけるリセット付フリップフロップ35のD端子は反転増幅器38及び前記排他的論理とゲート

37, AND ゲート39の各他方の入力端に夫々接続されている。AND ゲート39の出力端は排他的論理和ゲート36の他方の入力端に接続されている。

【0024】図5はレジスタ回路31におけるラッチ回路の詳細を示す回路図であり、フリップフロップ34におけるS端子はNチャネルMOS 電界効果型トランジスタ（以下単にNチャネルMOSFETと記す）、PチャネルMOS 電界効果型トランジスタ（以下単にPチャネルMOSFETと記す）とを組合せて構成されたトランスマッシュゲート41、反転増幅器42, 43 及びこれら反転増幅器42, 43 と並列に接続されたトランスマッシュゲート44に接続され、前記反転増幅器43の出力端はD端子に繋がり、このD端子はリセット付フリップフロップ35のS端子に繋がっている。

【0025】リセット付フリップフロップ35のS端子は同じくNチャネルMOSFET、PチャネルMOSFETで構成されたトランスマッシュゲート46、反転増幅器47, 48 及びこれこれら反転増幅器47, 48 と並列に接続されたトランスマッシュゲート49に接続され、トランスマッシュゲート49、反転増幅器48の出力端はD端子に繋がっている。

【0026】フリップフロップ34におけるC端子は直接、又は反転増幅器45を介在させて間接に各トランスマッシュゲート43, 44 の各ゲート端子に接続され、これらに夫々クロック信号 ϕ_1 を入力するようになっている。

【0027】またリセット付フリップフロップ35におけるC端子は同様に直接、又は反転増幅器50を介在させて間接的に各トランスマッシュゲート46, 49 の各ゲート端子に接続され、これらにクロック信号 ϕ_2 を入力するようになっている。

【0028】リセット付フリップフロップ35のR端子はドレインを前記反転増幅器47、トランスマッシュゲート49の各入力端に、またソースを接地されたNチャネルMOSFET51のゲートに繋がっており、ここにリセット信号 ϕ_R を与えるようになっている。他のレジスタ回路32, 33 については具体的に示していないが実質的に同じである。

【0029】このようなカウンタ回路5にあってはリセット信号 ϕ_R がハイレベル「H」になると、NチャネルMOSFET51がオン状態となり、カウント信号 A_2 , A_1 , A_0 はいずれも零となる。一方この状態でクロック信号 ϕ_1 , ϕ_2 が入力されると、カウント値 A_2 , A_1 , A_0 は夫々1だけカウントアップされ、以後はクロック信号 ϕ_1 , ϕ_2 が入力される都度、カウント値は遞増していくこととなる。

【0030】図6はPROM回路の具体的構成を示す回路図であり、実質的に同じ構成の複数の半導体メモリのブロック52, 53, 54を備えており、ブロック52について具体的に示す。図中55, 56 は夫々NチャネルMOSFETであり、前

者のドレインは通常の電源に、また後者のドレインは高電源電圧 V_{PP} に接続され、またソースは共にヒューズ57の一端部に接続されている。ヒューズ57の他端部はNチャネルMOSFET58、また抵抗59, NチャネルMOSFET60を介して夫々接地されている。

【0031】更にヒューズ57と抵抗59との間にNチャネルMOSFET61のドレインが接続され、そのソースは反転増幅器62を介在させて出力端に接続されると共に、反転増幅器63, NチャネルMOSFET64を介在させて前記反転増幅器62の入力端側に接続されている。

【0032】NチャネルMOSFET58のゲートには前記カウンタ回路5の出力端が接続され、ここにカウント値 A_0 が印加され、またNチャネルMOSFET55, 60, 61, 64 の各ゲートは前述したPOR回路4の出力端に接続され、夫々リセット信号 ϕ_R 又は反転リセット信号 ϕ_R バーが入力されるようになっている。

【0033】このようなPROM回路6にあっては、カウンタ回路5からのカウント値 A_0 が、例えば「1」のときにリセット信号 ϕ_R がローレベル「L」、また高電源電圧 V_{PP} が高電位に設定されたとすると、NチャネルMOSFET56がオン状態となり、ヒューズ57に大電流が流れ、ヒューズ57が溶断される。一方、カウンタ回路5からのカウント値 A_0 が、例えば「0」のときはリセット信号 ϕ_R をローレベル「L」に、また V_{PP} を高電位に設定してもNチャネルMOSFET58がオフ状態のままであり、ヒューズ57が溶断されることはない。

【0034】半導体集積回路の電源をオンしたときは、POR回路4のリセット信号 ϕ_R が一定時間ハイレベル「H」となり、NチャネルMOSFETが55, 60, 61のいずれもオン状態となるが、ヒューズ57は抵抗59よりも抵抗値が小さいから、カウント値 A_0 が「0」でプログラムされてヒューズ57が溶断されていない場合には、ノードN4の電位がハイレベル「H」となり、出力信号 B_0 は零となる。これに対してカウント値 A_0 が「1」でプログラムされてヒューズ57が溶断されている場合にはノードN4の電位は零となり、出力信号 B_0 は「1」となる。

【0035】図7はセレクタ回路ユニット7の具体的構成を示す回路図であり、複数個（図面では3個）のセレクタ回路65, 66, 67を備えている。各セレクタ回路65~67は実質的に同じ構造であり、セレクタ回路65について示す。セレクタ回路65はNチャネルMOSFET、PチャネルMOSFETからなる2組のトランスマッシュゲート68, 69を備えており、トランスマッシュゲート68の入力端にはカウント値 A_0 が、またトランスマッシュゲート69の入力端にはPROM回路6からの出力信号 B_0 が夫々入力されるようになっている。

【0036】各トランスマッシュゲート68, 69 のゲート端子には、直接又は反転増幅器70を介してテストモード活性化信号TEが入力されるようになっている。テストモード時にはテストモード活性化信号TEがハイレベル

「H」になり、カウンタ回路5のカウント値 A_0 が、また通常動作時にはテストモード活性化信号TEがローレベル「L」になり、PROM回路6の出力信号 B_0 が出力信号 C_0 としてトリミング回路8へ選択的に出力されることとなる。

【0037】図8はトリミング回路8の具体的構成を示す回路図であり、複数個（図面では8個）の3端子ANDゲート71～78、NチャネルMOSFET81～88を備えている。各ANDゲート71～78の各入力端には前記セレクタ回路ユニット7からの信号 C_0 、 C_1 、 C_2 が直接、又は反転増幅器80を介在させて反転信号 C_0 バー、 C_1 バー、 C_2 バーが、入力されるようになっている。各ANDゲート71～78の出力端はNチャネルMOSFET81～88のゲートに接続されている。

【0038】各NチャネルMOSFET81～88のドレインは相互の間に抵抗 R_2 ～ R_8 を介在させると共に、その一部は抵抗 R_1 を介在させて図1に示す差動増幅器9のPチャネルMOSFET91のソースに接続され、また他端部は抵抗 R_9 を介在させて接地されている。更に各NチャネルMOSFET81～88のソースは同じく差動増幅器9におけるNチャネルMOSFET94のゲートに接続されている。

【0039】抵抗 R_2 ～ R_8 の抵抗値を、例えば R として、抵抗 R_1 の抵抗値を $15R$ 、抵抗 R_9 の抵抗値を $8R$ となるよう夫々設定したとすると、信号 C_0 、 C_1 、 C_2 が夫々「0」から「1」に変化するのに対応して各ANDゲート71～78の出力信号がハイレベル「H」となるから、差動増幅器9のNチャネルMOSFET94のゲートにファードバックされた印加電圧 V_F は $15/30 \cdot V_L \sim 8/30 \cdot V_L$ の間で変化することとなる。

【0040】次に本発明に係る電圧降下回路の動作を図9に示すタイミングチャートと共に説明する。いま時刻 t_1 において図9(a)、図9(b)に示す如く半導体集積装置に対し電源電圧 V_{CC} を投入し、またテストモードを設定すると、電源電圧 V_{CC} の投入によりPOR回路4からのリセット信号 ϕ_R が図9(b)に示す如く所定の時間ハイレベル「H」になる。

【0041】コンパレータ41において目標値 V_T と出力電圧 V_L とに差が存在すると、その出力 ϕ_S が図9(f)に示す如くハイレベル「H」となり、クロック信号 C_{L0} 、 CL_1 がハイレベルとなる都度、ANDゲート2、3の出力であるクロック信号 ϕ_1 、 ϕ_2 がカウンタ回路5でカウントアップを行い、トリミング回路8の出力 V_F は $k_1 V_L$ となる。そのカウント値がセレクタ回路ユニット7を経てトリミング回路8に出力される。 V_F が $15/30 \cdot V_L \sim 8/30 \cdot V_L$ の範囲でカウンタ回路5からのカウント値 A_0 、 A_1 、 A_2 に対応して順次変化せしめられ、図9(e)に示す如く出力電圧 V_L が高められてゆく。

【0042】例えばカウンタ回路5からカウント値 A_0 、 A_1 、 A_2 が夫々「0」のときトリミング回路8

の出力信号 V_F は $k_0 V_L$ 、従って $V_R = V_F = k_0 V_L$ となり、出力電圧 V_L は $(1/k_0) V_R$ となる。

【0043】一般的にカウンタ回路5のカウント値を i とすると、トリミング回路8からの出力である印加電圧 V_F は $k_i V_L$ となるが、カウント値が大きくなるに従って k_i が小さくなるから出力電圧 $V_L = (1/k_i) V_R$ の値は逆に大きくなっている。例えばカウンタ回路5のカウント値が図9(i)において4（サイクル4）になったとき、図9(e)に示す如く出力電圧 V_L の値が目標値 V_T と一致又はこれよりも大きくなつたとすると図1においてコンパレータ1の出力 ϕ_S は零となるから、それ以後クロックCL1、CL2が入力してもANDゲート2、3の出力 ϕ_1 、 ϕ_2 はローレベル「L」の状態に維持され、カウンタ回路5は休止状態となりカウント値は変わらず $V_L = V_T$ の状態に維持されたままとなる。

【0044】更にこの状態で8サイクルを経過すると、カウンタ回路5がオーバーフローし、時刻 t_2 において図9(b)に示す如く V_{PP} に高電圧が印加されヒューズ57の溶断又は非溶断により図6に示した如くカウンタ回路5のカウント値 A_0 、 A_1 、 A_2 がPROM回路6の各半導体メモリブロック52、53、54に記憶され、降圧回路プログラムが形成される。

【0045】プログラミングが終了した後、実際の使用に際しては図9(g)に示す如くテストモード活性化信号TEが常にローレベル「L」となるよう設定する。図1に示すセレクタ回路ユニット7はカウンタ回路5のカウント値 A_0 、 A_1 、 A_2 に代わってPROM回路6の出力値 B_0 、 B_1 、 B_2 を出力信号 C_0 、 C_1 、 C_2 としてトリミング回路8へ出力する。

【0046】この出力信号 C_0 、 C_1 、 C_2 はカウンタ回路5のカウント値 A_0 、 A_1 、 A_2 を記憶した信号 B_0 、 B_1 、 B_2 である。従って実際の動作時には出力電圧 V_L は目標値 V_T に近い値 $V_L = V_T$ として出力されることとなる。なお基準電圧発生回路10の構成は図1に示す従来回路と実質的に同じであり、説明を省略する。

【0047】なお前述のプログラミングは、例えばウエーハテストの時に実施すればパッケージのピン数に制限されないで、外部からプローブによってテストモード活性化信号TE、高電源電圧 V_{PP} 、目標値 V_T を与えることが可能となる。カウンタ回路5のクロック信号 ϕ_1 、 ϕ_2 は、例えばアドレスピンを利用してよい。またテストモード活性化信号TE、高電源電圧 V_{PP} 、目標値 V_T を他の信号ピンと多重化してもよい。

【0048】更に図1のコンパレータ1を他の領域11と同じ半導体集積回路チップ上にオン・チップし、また出力電圧 V_L の出力パッドと信号 ϕ_S を入力するパッドとを同じ半導体集積回路チップ上に設置し、テスト上に設けたコンパレータ1を利用してもよい。この場合は図1の点線で囲まれた領域11のみをオン・チップ化することとなる。

【0049】

【発明の効果】以上のようにこの発明によれば、出力電圧の調整が自動的にできることとなり、製作段階での出力電位の調整作業が容易となり、生産性が向上する等本発明は優れた効果を奏するものである。

【図面の簡単な説明】

【図1】従来の電圧降下回路を示す回路図である。

【図2】本発明回路の回路図である。

【図3】本発明回路に用いるPOR回路の具体的構成を示す回路図である。

【図4】本発明回路に用いるカウンタ回路の具体的構成を示す回路図である。

【図5】図4に示すカウンタ回路におけるラッチ回路の具体的構成を示す回路図である。

【図6】本発明回路に用いるPROM回路の具体的構成を示す回路図である。

【図7】本発明回路に用いるセレクタ回路ユニットの具体的構成を示す回路図である。

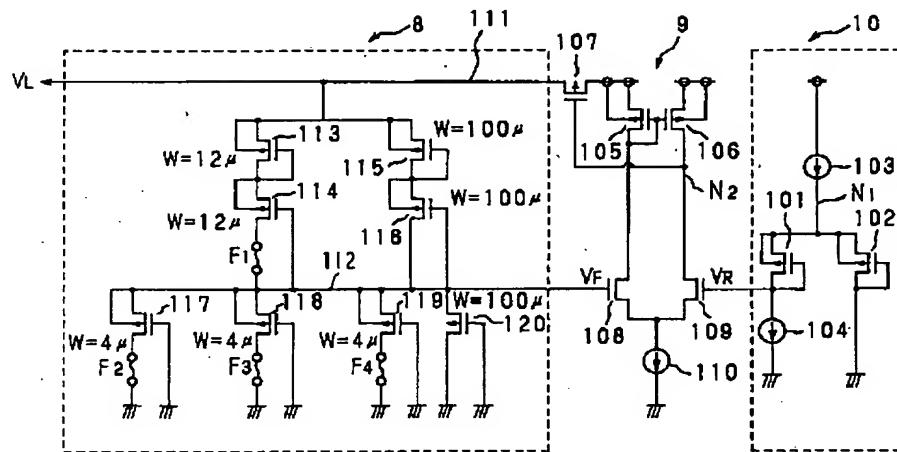
【図8】本発明回路に用いるトリミング回路の具体的構成を示す回路図である。

【図9】本発明回路の動作を示すタイミングチャートである。

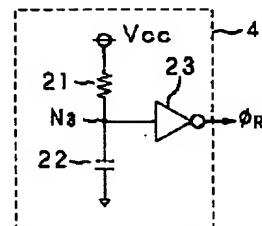
【符号の説明】

- 1 コンパレータ
- 2, 3 AND ゲート
- 4 POR 回路
- 5 カウンタ回路
- 6 PROM回路
- 7 セレクタ回路ユニット
- 8 トリミング回路
- 9 差動増幅器
- 10 基準電圧発生回路

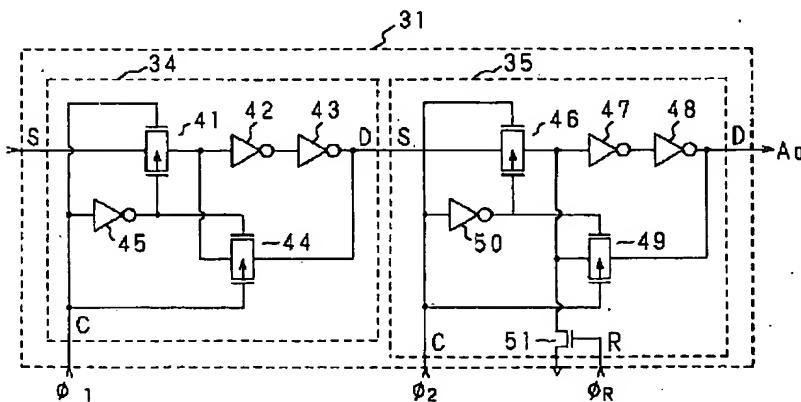
【図1】



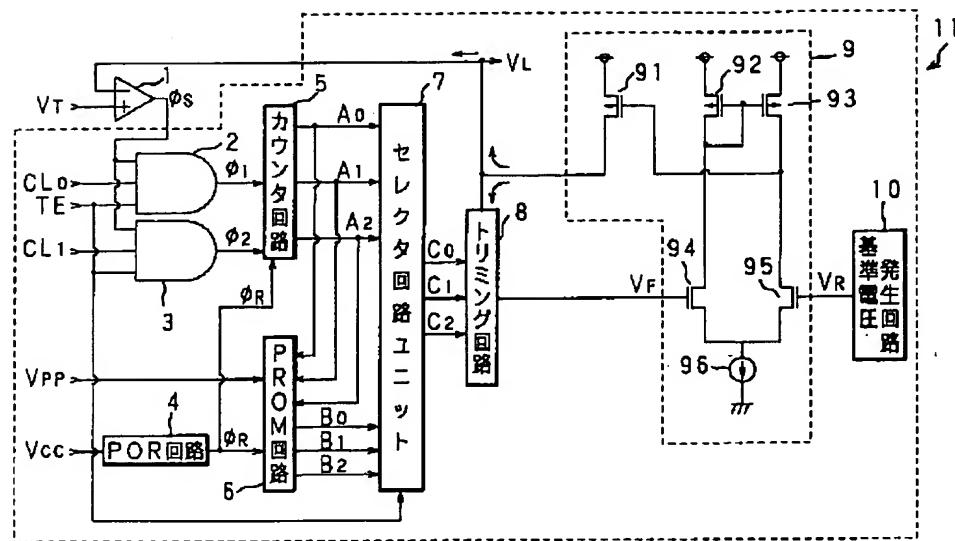
【図3】



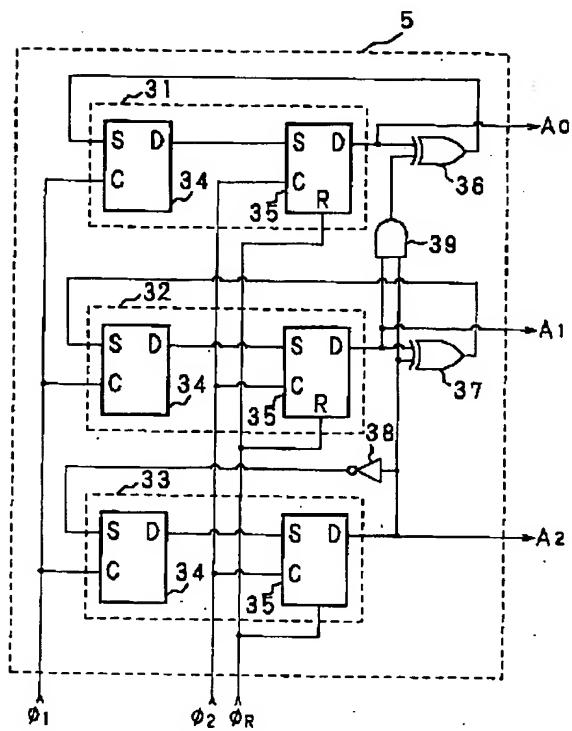
【図5】



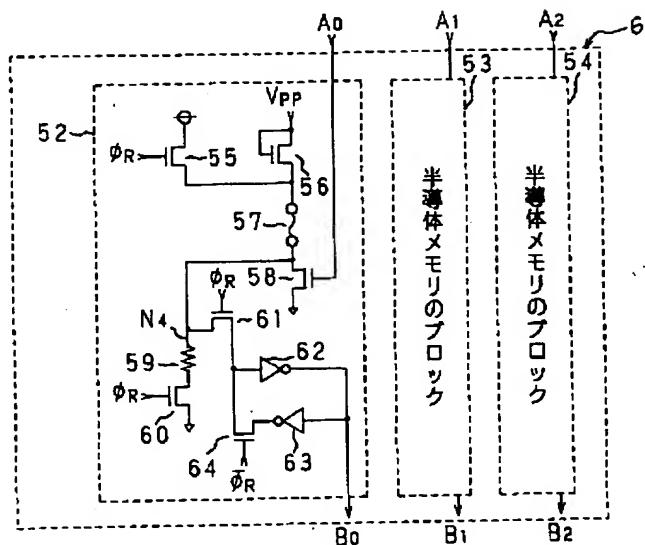
【図2】



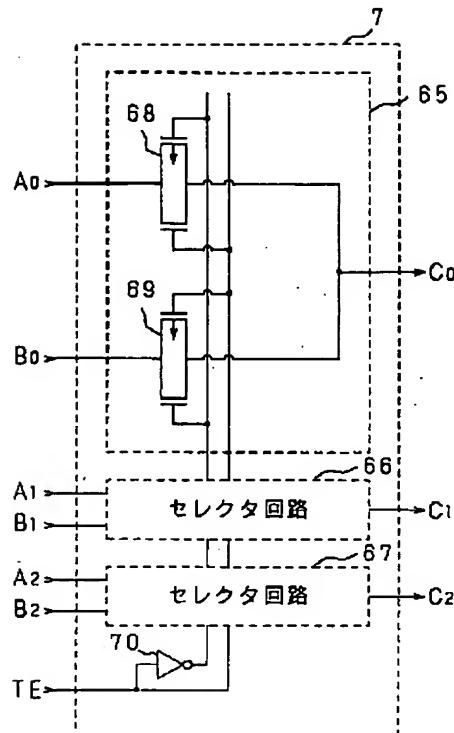
【図4】



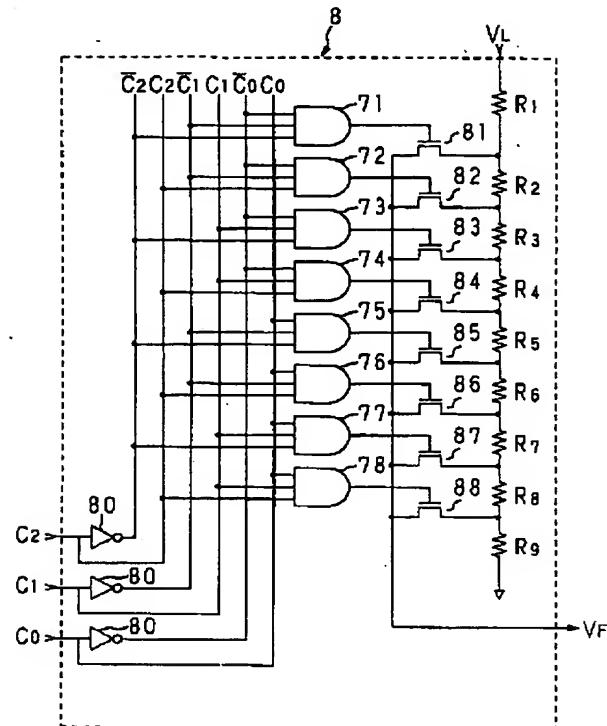
【図6】



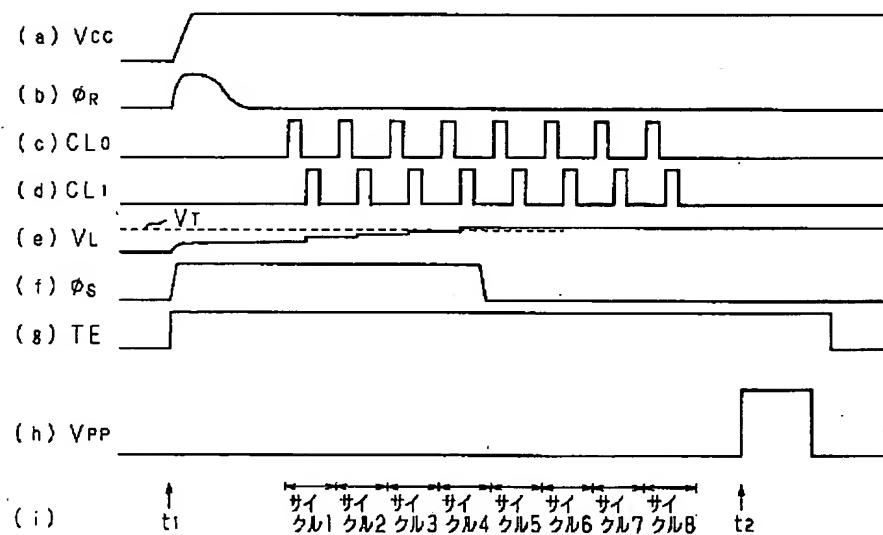
【図7】



【図8】



【図9】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成9年(1997)1月17日

【公開番号】特開平5-265579

【公開日】平成5年(1993)10月15日

【年通号数】公開特許公報5-2656

【出願番号】特願平4-64931

【国際特許分類第6版】

G05F 1/56 310

G11C 17/14

【F I】

G05F 1/56 310 D 4237-5H

G11C 17/06 B 9176-5L

【手続補正書】

【提出日】平成8年1月18日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 数列発生回路と、テストモード時に前記数列発生回路の出力値に応じて出力電圧を調整するトリミング回路とを備えたことを特徴とする電圧降下回路。

【請求項2】 請求項1の電圧降下回路において、前記出力電圧が目標値に一致したときの前記数列発生回路からの出力値を記憶させるPROM回路と、通常モード時に前記PROM回路に記憶された出力値に対応して電圧を出力させるべく前記数列発生回路からの出力値に代えて前記PROM回路からの出力値をトリミング回路へ入力させる切替手段とを備えたことを特徴とする電圧降下回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】

【課題を解決するための手段】第1の発明に係る電圧降下回路は、数列発生回路と、テストモード時に前記数列発生回路の出力値に応じて出力電圧を調整するトリミング回路とを備えたことを特徴とする。第2の発明に係る電圧降下回路は、請求項1の電圧降下回路において、前記出力電圧が目標値に一致したときの前記数列発生回路からの出力値を記憶させるPROM回路と、通常モード時に

前記PROM回路に記憶された出力値に対応して電圧を出力させるべく前記数列発生回路からの出力値に代えて前記PROM回路からの出力値をトリミング回路へ入力させる切替手段とを備備することを特徴とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】

【作用】第1の発明にあっては、数列発生回路と、トリミング回路とを備え、テストモード時に出力電圧を目標値と比較して、前記トリミング回路の抵抗分割比を数列発生回路の出力値に応じて変化させ、また第2の発明にあっては、出力電圧が目標値と一致したときの数列発生回路からの出力値をPROM回路に記憶させておき、通常動作時にはこのPROM回路に記憶させてある出力値に対応させてトリミング回路で出力電圧を調整させることで自動的に出力電圧を設定することが可能となる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】変更

【補正内容】

【0049】

【発明の効果】以上のように第1、第2の発明によれば、出力電圧の調整が自動的にできることとなり、製作段階での出力電位の調整作業が容易となり、生産性が向上する等本発明は優れた効果を奏するものである。